

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-144246

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

H01L 25/00

H01L 23/12

(21)Application number : 11-326812

(71)Applicant : HITACHI LTD

(22)Date of filing : 17.11.1999

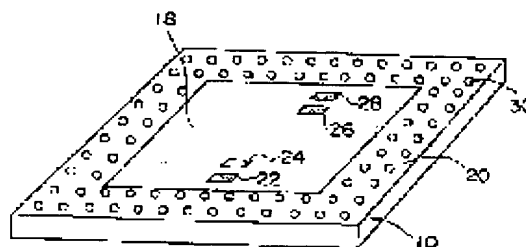
(72)Inventor : MABUCHI YUICHI
SHIRAKAWA SHINJI
NAKAMURA ATSUSHI
KATAGIRI MITSUAKI
HAYASHI TORU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To mount a noise eliminating filter circuit element at high density.

SOLUTION: A chip layer mounting a semiconductor chip 12, a ground layer 14 and a power supply layer 16 are housed in a package 10 so as to pinch an insulation substance mutually, and inductor element mounting terminals 22, 24, and capacitor element mounting terminals 26, 28 are disposed in a chip, corresponding region 18 facing the semiconductor chip 12 out of a reverse face of the package 10, and an external connecting signal wiring terminal 30 is disposed in the region 20.



10: グリッドアンソイパッケージ

18: チップ対面領域

20: 側縁

22, 24: インダクタ素子実装端子

26, 28: コンデンサ素子実装端子

30: 外部接続用信号配線端子

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2001-144246

(P 2001-144246A)

(43) 公開日 平成13年5月25日 (2001. 5. 25)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード* (参考)	
H O 1 L	25/00	H O 1 L	25/00	B
	23/12		23/12	L
				B

審査請求 未請求 請求項の数 4

OL

(全 6 頁)

(21) 出願番号 特願平11-326812

(22) 出願日 平成11年11月17日 (1999. 11. 17)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 馬淵 雄一

茨城県日立市大みか町七丁目1番1号 株式

会社日立製作所日立研究所内

(72) 発明者 白川 真司

茨城県日立市大みか町七丁目1番1号 株式

会社日立製作所日立研究所内

(74) 代理人 100098017

弁理士 吉岡 宏嗣

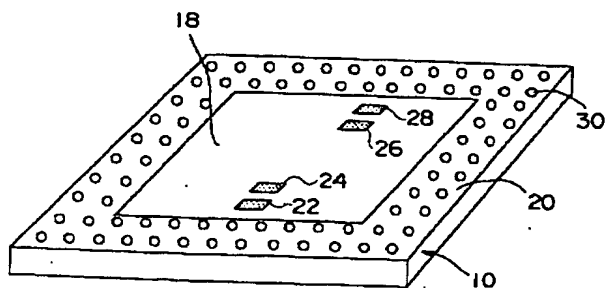
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ノイズ除去用フィルタ回路素子を高密度に実装すること。

【解決手段】 半導体チップ12が実装されたチップ層とグラウンド層14および電源層16が互いに絶縁物質を間にしてパッケージ10内に収納され、パッケージ10の裏面のうち半導体チップ12を臨むチップ対応領域18にインダクタ素子実装端子22、24、コンデンサ素子実装端子26、28が配置され、領域20に外部接続用信号配線端子30が配置されている。



10: グリッドアレイパッケージ

18: チップ対応領域

20: 領域

22, 24: インダクタ素子実装端子

26, 28: コンデンサ素子実装端子

30: 外部接続用信号配線端子

【特許請求の範囲】

【請求項 1】 半導体チップが実装されたチップ層と、前記半導体チップの電源部のうち接地ラインに接続されたグラウンド層と、前記半導体チップの電源部のうち前記接地ラインとは異なる電位を示す電源ラインに接続されて前記半導体チップに電流を供給する電源層とを備え、前記半導体チップと前記グラウンド層および電源層が互いに絶縁物質を間にしてパッケージに収納され、前記パッケージの実装面のうち前記半導体チップを臨むチップ対応領域に、前記電源層に接続されたフィルタ回路素子実装端子と前記グラウンド層に接続されたフィルタ回路素子実装端子とが配置され、前記チップ対応領域とは異なる領域に前記半導体チップに接続された外部接続用端子が配置されてなる半導体装置。

【請求項 2】 半導体チップが実装されたチップ層と、前記半導体チップの電源部のうち接地ラインに接続されたグラウンド層と、前記半導体チップの電源部のうち前記接地ラインとは異なる電位を示す電源ラインに接続されて前記半導体チップに電流を供給する電源層とを備え、前記半導体チップと前記グラウンド層および電源層が互いに絶縁物質を間にしてパッケージに収納され、前記パッケージの実装面のうち前記半導体チップを臨むチップ対応領域に、前記電源層に接続された第 1 のコンデンサ素子実装端子および複数のインダクタ素子実装端子と、前記グラウンド層に接続された第 2 のコンデンサ素子実装端子とが配置され、前記チップ対応領域とは異なる領域に前記半導体チップに接続された外部接続用端子が配置されてなる半導体装置。

【請求項 3】 前記電源層は複数の領域に分離され、前記電源層の一方の領域に前記複数のインダクタ素子実装端子のうち一方のインダクタ素子実装端子が接続され、前記電源層の他方の領域に前記複数のインダクタ素子実装端子のうち他方のインダクタ素子実装端子と前記第 1 のコンデンサ素子実装端子が接続されてなることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記第 1 のコンデンサ素子実装端子と前記第 2 のコンデンサ素子実装端子はコンデンサ素子を複数個並列に実装可能な端子構造であることを特徴とする請求項 2 または 3 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、特に、半導体チップ内で生じる電源ノイズなどを抑制するためのフィルタ回路素子実装端子をパッケージ本体に有する半導体装置に関する。

【0002】

【従来の技術】半導体装置、例えば、LSI には、高速でスイッチング動作する電源部が設けられているものがある。この種の LSI においては、高速スイッチング動作に伴って発生する電源ノイズを低減するために、通

常、インダクタ素子とコンデンサ素子でフィルタ回路を構成し、これらフィルタ回路素子を電源部に実装することが行なわれている。

【0003】プリント基板にフィルタ回路を構成する場合、例えば、特開平 9-139573 号公報、特開平 9-326451 号公報に記載されているように、プリント基板にインダクタ素子を直接実装する代わりに、プリント基板の電源層に螺旋状やつづら折り状などのパターンを形成することでインダクタンスを得ているものがある。

【0004】また、パッケージ内にフィルタ回路を構成する場合、パッケージ内にパターンでインダクタンスを得る方法や、特開平 9-326451 号公報に記載されているように、複数の電源ピンに直接インダクタ素子やコンデンサ素子をそれぞれ実装する構成を採用したものが提案されている。

【0005】

【発明が解決しようとする課題】従来技術では、プリント基板またはパッケージ内にフィルタ回路を構成する場合、インダクタ素子を、プリント基板やパッケージ内にパターンで形成しているため、基板の電源層にインダクタ素子用のパターンを形成するために余分なスペースを確保しなければならず、フィルタ回路素子を高密度に実装することが困難である。さらに形成されたインダクタのパターンに近接して導体層がある場合、インダクタ用パターンと導体層との間の相互インダクタンスの影響を受けて、インダクタ用パターンとして大きなインダクタンスを得ることが難しく、電源ノイズを十分に低減することが困難になる。

【0006】一方、パッケージ内にインダクタ素子やコンデンサ素子を直接実装する場合、複数の電源ピンにそれぞれインダクタ素子やコンデンサ素子を実装しなければならず、BGA (Ball Grid Array) や PGA (Pin Grid Array) パッケージでは、そのサイズが数 cm のオーダとなり、複数のインダクタ素子やコンデンサ素子を実装するためのスペースを確保することが困難となる。また、半導体チップに複数の電源部が設けられている場合、各電源部の電源ピン

(電源ライン用のピンと接地ライン用のピン) にそれぞれインダクタ素子とコンデンサ素子を実装するので、部品点数が増え製造コストが高くなる。さらに、インダクタ素子やコンデンサ素子を絶縁性の樹脂などでパッケージ内に完全にモールドしているので、後で素子を交換することができない。

【0007】本発明の目的は、ノイズ除去用フィルタ回路素子を高密度に実装することができる半導体装置を提供することにある。

【0008】

【課題を解決するための手段】前記目的を達成するために、本発明は、半導体チップが実装されたチップ層と、

前記半導体チップの電源部のうち接地ラインに接続されたグラウンド層と、前記半導体チップの電源部のうち前記接地ラインとは異なる電位を示す電源ラインに接続されて前記半導体チップに電流を供給する電源層とを備え、前記半導体チップと前記グラウンド層および電源層が互いに絶縁物質を間にしてパッケージに収納され、前記パッケージの実装面のうち前記半導体チップを臨むチップ対応領域に、前記電源層に接続されたフィルタ回路素子実装端子と前記グラウンド層に接続されたフィルタ回路素子実装端子とが配置され、前記チップ対応領域とは異なる領域に前記半導体チップに接続された外部接続用端子が配置されてなる半導体装置を構成したものである。

【0009】前記半導体装置を構成するに際しては、電源層に接続されたフィルタ回路素子実装端子として、第1のコンデンサ素子実装端子および複数のインダクタ素子実装端子を配置し、グラウンド層に接続されたフィルタ回路素子実装端子として、第2のコンデンサ素子実装端子を配置することができる。

【0010】前記各半導体装置を構成するに際しては、以下の要素を付加することができる。

【0011】(1) 前記電源層は複数の領域に分離され、前記電源層の一方の領域に前記複数のインダクタ素子実装端子のうち一方のインダクタ素子実装端子が接続され、前記電源層の他方の領域に前記複数のインダクタ素子実装端子のうち他方のインダクタ素子実装端子と前記第1のコンデンサ素子実装端子が接続されてなる。

【0012】(2) 前記第1のコンデンサ素子実装端子と前記第2のコンデンサ素子実装端子はコンデンサ素子を複数個並列に実装可能な端子構造である。

【0013】前記した手段によれば、パッケージの実装面のうち半導体チップを臨むチップ対応領域に、電源層に接続されたフィルタ回路素子実装端子とグラウンド層に接続されたフィルタ回路素子実装端子を配置し、チップ対応領域とは異なる領域に半導体チップに接続された外部接続用端子を配置し、外部接続用端子が配置される領域を除いたチップ対応領域をフィルタ回路素子実装端子の配置領域として用いているため、フィルタ回路素子実装端子にフィルタ回路素子、例えば、コンデンサ素子やインダクタ素子を接続することで、フィルタ回路素子を実装することができ、ノイズ除去用フィルタ回路素子を高密度に実装することができる。

【0014】また、パッケージの実装面（裏面）に露出されたフィルタ回路素子実装端子にコンデンサ素子やインダクタ素子を実装することができるため、必要に応じてコンデンサ素子やインダクタ素子などのフィルタ回路素子を交換することができる。

【0015】また、半導体チップに複数個の電源部が設けられている場合でも、各電源部の電源ラインと接地ラインを共有することで、フィルタ回路素子としてのイン

ダクタ素子やコンデンサ素子の数を少なくすることができる、部品点数の低減および製造コストの低減を図ることができる。

【0016】さらに、コンデンサ素子実装端子に複数個のコンデンサ素子を並列に実装することで、コンデンサの寄生インダクタンスを小さくすることができ、ノイズ低減効果をさらに高めることができる。

【0017】

【発明の実施の形態】以下、本発明の一実施形態を図面に基づいて説明する。図1は本発明の一実施形態を示す半導体装置の裏面側から見た斜視図、図2は半導体装置の分解斜視図である。図1および図2において、半導体装置はグリッドアレイパッケージ10を備えており、グリッドアレイパッケージ10は、絶縁性の材料であるモールド樹脂を用いてほぼ直方体形状に形成されている。このグリッドアレイパッケージ10内には、半導体チップ12、グラウンド層14、電源層16が互いに絶縁物質を間にして収納されており、グリッドアレイパッケージ10のプリント基板との実装面（裏面）は半導体チップ12を臨むチップ対応領域18とそれ以外の領域20とに分離されている。チップ対応領域18はほぼ正方形形状に形成されており、このチップ対応領域18にはフィルタ回路素子実装端子として、インダクタ素子実装端子22、24、コンデンサ素子実装端子26、28が配置されている。領域20には、プリント基板との接続用端子となる外部接続用信号配線端子30、外部接続用グラウンド端子30a、30d、外部接続用電源端子30b、30cが複数個グリッドとしてマトリクス状に配置されている。

【0018】半導体チップ12は、信号配線32などとともにチップ層（図示省略）に実装されている。この半導体チップ12は複数の電源部を備えており、各電源部のうちグラウンド層14に対してプラスの電位を示す電源ライン34、36はグラウンド層14のホールH1、H2を通過して電源層16の内側の領域16aに接続されている。また電源部のうち接地ライン38、40はグラウンド層14に接続されている。さらに各信号配線32はグラウンド層14の信号配線用ホールH0と電源層16の信号配線用ホールh0を通過して外部接続用信号配線端子30に接続されている。

【0019】グラウンド層14は絶縁物質を間にしてチップ層と電源層16との間に配置されており、このグラウンド層14は配線が電源層16のホールh1、h2を通過して外部接続用グラウンド端子30a、30dに接続されている。電源層16はほぼ長方形形状の切欠き42を間にして内側の領域16aと外側の領域16bとに分離されており、外側の領域16bが外部接続用電源端子30b、30cに接続されている。外側の領域16bの裏面側にはインダクタ素子実装端子22が固定され、内側の領域16aにはインダクタ素子実装端子24、コ

ンデンサ素子実装端子（第1のコンデンサ素子実装端子）26が固定されるようになっている。また外側の領域16bには信号配線を挿通するためのホールh1が複数個形成されているとともに、コンデンサ素子の端子を挿通するためのホールh3が形成されている。すなわち、コンデンサ素子実装端子（第2のコンデンサ素子実装端子）28はグラウンド層14の裏面側に固定され、コンデンサ素子の一方の端子がホールh3を介してコンデンサ素子実装端子28に接続されるようになっている。

【0020】上記構成において、インダクタ素子実装端子22、24にインダクタ素子を実装する場合、図3に示すように、インダクタ素子44の一方の端子がインダクタ素子実装端子22にハンダ付けされ、インダクタ素子44の他方の端子がインダクタ素子実装端子24にハンダ付けされる。またフィルタ回路素子としてコンデンサ素子をコンデンサ素子実装端子26、28に実装するに際しては、コンデンサ素子の一方の端子をコンデンサ素子実装端子26にハンダ付けし、コンデンサ素子の他方の端子をホールh3を介してコンデンサ素子実装端子28にハンダ付けする。これにより半導体チップ12にフィルタ回路素子を接続することができる。

【0021】具体的には、図4に示すように、フィルタ回路素子としてのコンデンサ素子46がコンデンサ素子実装端子26、28に接続され、インダクタ素子44がインダクタ素子実装端子22、24にそれぞれ接続され、半導体チップ12の電源部から発生するノイズをフィルタ回路素子によって除去することができる。

【0022】なお、半導体チップ12は電源ライン34、36、接地ライン38、40、信号配線32とはワイヤボンディングで接続されている。そして電源端子30b、30cとグラウンド端子30a、30dがそれぞれ電源に接続されると、電源端子30b、30cからの電流が電源層16の外側の領域16bに流れ、外側の領域16bからインダクタ素子44を介して内側の領域16aに電流が流れる。この後、グラウンド層14のホールH1、H2を通過して電源ライン34、36から半導体チップ12に電流が流れる。そして半導体チップ12に供給された電流は接地ライン38、40を介してグラウンド層14に流れ、さらに、このグラウンド層14からホールh1、h2を通過してグラウンド端子30a、30dに流れる。

【0023】本実施形態によれば、チップ対応領域18にインダクタ素子実装端子22、24、コンデンサ素子実装端子26、28を配置し、インダクタ素子実装端子22、24にインダクタ素子44を接続し、コンデンサ素子実装端子26、28にコンデンサ素子46を接続するようにしたため、ノイズ除去用フィルタ回路素子を高密度に実装することができる。

【0024】また、パッケージ10が完成した後、フィ

ルタ回路素子をハンダで実装することができるため、パッケージ10が実装されるプリント基板に最適なインダクタ素子44やコンデンサ素子46を実装することができ、コストの低減を図ることができるとともに、必要に応じて後からインダクタ素子44やコンデンサ素子46を交換することができる。

【0025】また、電源ライン34、36に接続された電源引込み線48、50は電源層16の内側の領域16aにのみ接続されており、電源端子30b、30cからの電流はインダクタ素子44を介して全て供給されるため、インダクタ素子の数を1個にすることができる。さらに電源層の内側の領域16aとグラウンド層14とをコンデンサ素子46でつなぐ構造になっているため、各電源引込み線48、50にそれぞれコンデンサを実装する構造のものに比べてコンデンサ素子の数を減らすことができ、部品点数およびコスト低減に寄与することができる。

【0026】次に、本発明の他の実施形態を図5および図6にしたがって説明する。

【0027】本実施形態は、コンデンサ素子実装端子26a、28aを、複数個のコンデンサ素子46a、46b、46cが並列に実装可能な端子構造としたものである。

【0028】本実施形態においては、寄生インダクタンスがLで、容量Cのコンデンサ素子46a、46b、46cを3個並列にコンデンサ素子実装端子26a、28aに実装した場合、図6に示すように、コンデンサ素子46a、46b、46cを3個並列に実装することによってコンデンサ素子のみかけの寄生インダクタンスを3分の1に減らすことができる。

【0029】したがって、本実施形態によれば、コンデンサ素子実装端子26a、28aに3個のコンデンサ素子46a、46b、46cを並列に実装することで、高周波電流が通りやすくなり、コンデンサ素子を1個実装するものに比べて、ノイズの原因となる高周波電流をパッケージ10内に閉じ込めることができるとともに、プリント基板への伝播を抑えることができ、ノイズ低減効果を高めることができる。

【0030】

【発明の効果】以上説明したように、本発明によれば、パッケージの実装面のうち半導体チップを臨むチップ対応領域に、電源層に接続されたフィルタ回路素子実装端子とグラウンド層に接続されたフィルタ回路素子実装端子を配置し、チップ対応領域とは異なる領域に半導体チップに接続された外部接続用端子を配置し、チップ対応領域をフィルタ回路素子実装端子の配置領域として用いているため、フィルタ回路素子実装端子にフィルタ回路素子を接続することで、フィルタ回路素子を実装することができ、ノイズ除去用フィルタ回路素子を高密度に実装することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態を示す半導体装置の裏面側からみた斜視図である。

【図2】本発明の一実施形態を示す半導体装置の分解斜視図である。

【図3】インダクタ素子の実装状態を示す斜視図である。

【図4】半導体装置にフィルタ回路素子を実装したときの等価回路を示す図である。

【図5】3個のコンデンサ素子を並列に実装したときの斜視図である。

【図6】コンデンサ素子を3個並列に実装したときの等価回路を示す図である。

【符号の説明】

10 グリッドアレイパッケージ

12 半導体チップ

14 グラウンド層

16 電源層

18 チップ対応領域

20 領域

22、24 インダクタ素子実装端子

26、28 コンデンサ素子実装端子

30 外部接続用信号配線端子

32 信号配線

34、36 電源ライン

38、40 接地ライン

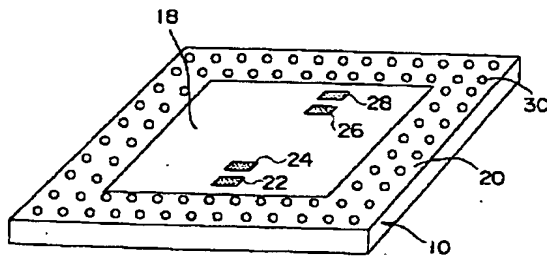
42 切欠き

44 インダクタ素子

46 コンデンサ素子

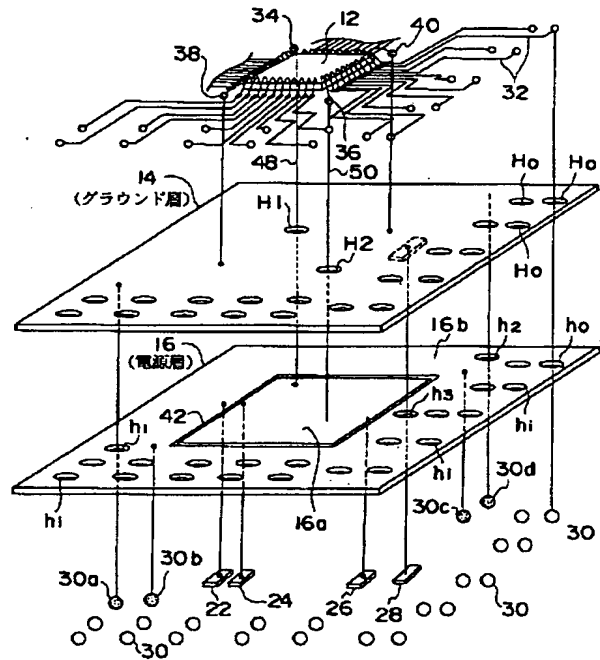
48、50 電源引込み線

【図1】

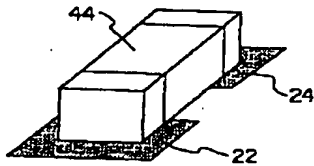


10:グリッドアレイパッケージ
18:チップ対応領域
20:領域
22、24:インダクタ素子実装端子
26、28:コンデンサ素子実装端子
30:外部接続用信号配線端子

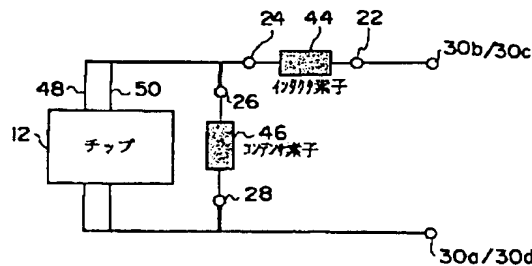
【図2】



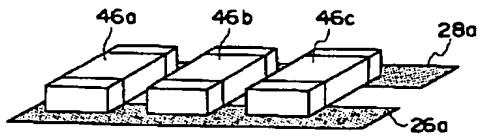
【図3】



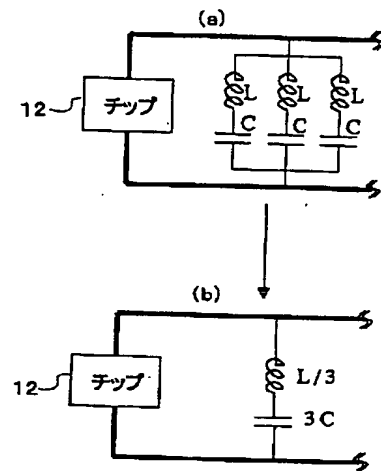
【図4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 中村 篤
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 片桐 光昭
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 林 亨
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内